

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040964

(43)Date of publication of application : 08.02.2000

(51)Int.Cl.

H03M 1/46

H03M 1/08

H03M 1/38

(21)Application number : 10-208782

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 24.07.1998

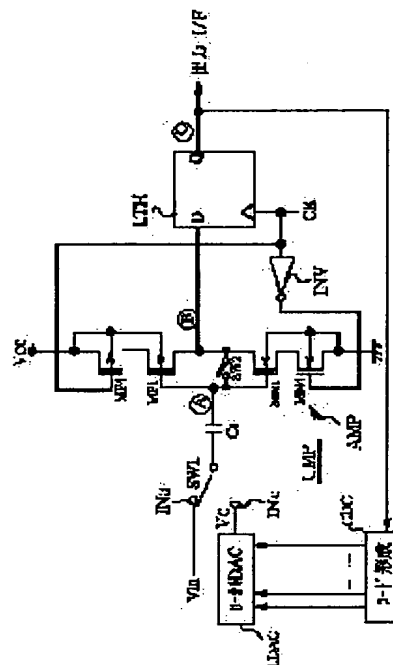
(72)Inventor : HABUKA TOSHITO
YONETANI HIROYUKI

(54) COMPARISON CIRCUIT AND A/D CONVERSION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the comparing circuit with low power consumption and low noise and further to reduce the power consumption and noise of a sequential comparison type AD converting circuit, including the comparing circuit using a CMOS inverter type amplifier circuit by preventing the through-current of the comparing circuit.

SOLUTION: This comparison circuit CMP consists of a CMOS inverter type amplifier circuit AMP, a 1st switch means SW2 connected between the input and output terminals of the amplifier circuit, a sampling capacitor Cs connected between the input terminal of the amplifier circuit and an analog input terminal, and a changeover switch means SW1 which can supply the voltage at the analog input terminal or comparison voltage selectively to one terminal of the sampling capacitor; and 2nd switch means MP4 and MN4 are connected in series with the MOSFET constituting the amplifier circuit and turned on only in a sampling period of analog input to the sampling capacitor and a stable period of input to the amplifier circuit to perform amplifier operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40964

(P2000-40964A)

(43) 公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl. ⁷	識別記号	F I	ページ・コード (参考)
H 0 3 M	1/46	H 0 3 M	1/46
	1/08		1/08
	1/38		1/38
			A

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平10-208782

(22) 出願日 平成10年7月24日 (1998.7.24)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 羽深 敏人

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 100085811

弁理士 大日方 富雄

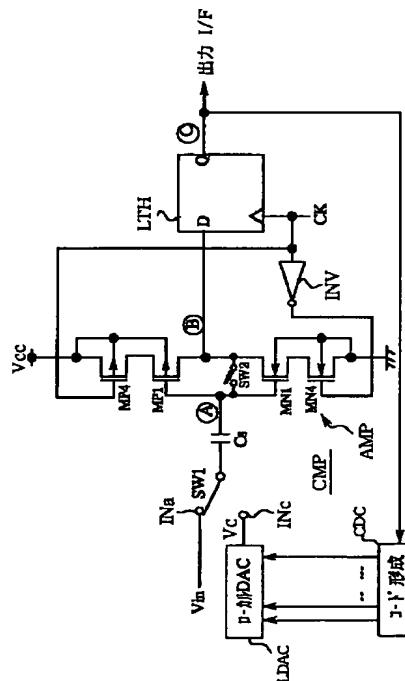
最終頁に続く

(54) 【発明の名称】 比較回路およびAD変換回路

(57) 【要約】

【課題】 従来のCMOSインバータ型増幅回路を用いた比較回路を備えた逐次比較型AD変換回路においては、変換動作の最終段階でローカルDA変換回りの出力がアナログ入力とほぼ等しくなるので、増幅回路の入力電圧は論理しきい値に近付いて貫通電流が流れる時間が長いという課題があった。

【解決手段】 CMOSインバータ型増幅回路 (AMP) と、該増幅回路の入出力端子間に接続された第1のスイッチ手段 (SW2) と、前記増幅回路の入力端子とアナログ入力端子との間に接続されたサンプリング容量 (Cs) と、該サンプリング容量の一方の端子に上記アナログ入力端子の電圧または比較電圧を選択的に供給可能な切換えスイッチ手段 (SW1) とからなる比較回路 (CMP) において、上記増幅回路を構成するMOSFETと直列に第2のスイッチ手段 (MP4, MN4) を接続して、このスイッチ手段を上記サンプリング容量へのアナログ入力のサンプリング期間中および上記増幅回路の入力の安定期間のみ導通させて増幅動作を行なわせるように構成した。



【特許請求の範囲】

【請求項1】 直列形態のpチャネルMOSFETおよびnチャネルMOSFETからなりこれらのMOSFETのゲート端子が入力端子とされドレイン端子が出力端子とされた増幅回路と、該増幅回路の入力端子と出力端子との間に接続された第1のスイッチ手段と、上記増幅回路の入力端子とアナログ入力端子との間に設けられたサンプリング容量と、該サンプリング容量の一方の端子に上記アナログ入力端子の電圧または比較電圧を選択的に供給可能な切換えスイッチ手段とからなる比較回路において、上記増幅回路を構成するMOSFETと直列に第2のスイッチ手段を接続して、このスイッチ手段を上記サンプリング容量へのアナログ入力のサンプリング期間中および上記増幅回路の入力が安定する期間のみ導通させて増幅動作を行なわせるように構成したことを特徴とする比較回路。

【請求項2】 上記増幅回路の次段にラッチ回路を設け、該ラッチ回路と上記第2のスイッチ手段と同一の信号で制御するようにしたことを特徴とする請求項1に記載の比較回路。

【請求項3】 上記第2のスイッチ手段は、増幅回路を構成する直列形態のpチャネルMOSFETおよびnチャネルMOSFETのそれぞれの側に設けられてなることを特徴とする請求項1または2に記載の比較回路。

【請求項4】 請求項1、2または3に記載の比較回路と、該比較回路の出力をラッチするラッチ回路と、上記比較回路の出力に基づいてコードを形成するコード形成回路と、該コード形成回路の出力をDA変換して上記比較回路における比較電圧として供給するDA変換回路とを備えてなることを特徴とするAD変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CMOS（相補型MOSFET）インバータ型の増幅回路を用いた比較回路の低消費電力化技術に関し、例えば逐次比較型AD変換回路を構成する比較回路に利用して有効な技術に関する。

【0002】

【従来の技術】 従来、逐次比較型AD変換回路を構成する比較回路として、例えば図6に示すような回路がある。

【0003】 図6に示されている比較回路は、電源電圧端子間に直列形態に接続されたpチャネルMOSFET MP1とnチャネルMOSFET MN1からなるCMOSインバータ型増幅回路AMPのゲート入力端子側にサンプリング容量Csおよび切換えスイッチSW1を接続するとともに、入出力端子間にスイッチSW2を設け、このスイッチSW2をオンさせた状態でスイッチSW1を入力端子INa側に接続して、アナログ入力Vinと増幅回路（インバータ）AMPの論理しきい値電圧V

LTとの差電圧を容量Csにチャージし、その後スイッチSW2をオフ状態にして増幅回路AMPの入出力端子間をオープンとしてスイッチSW1を比較電圧Vcの入力端子INc側に切り換えることにより、アナログ入力信号Vinと比較電圧Vcとの比較を行ない、比較結果を増幅して出力する。

【0004】 具体的には、直前に容量Csにチャージした電圧Vinよりも比較電圧Vcの方が低ければ増幅回路AMPの入力電圧は論理しきい値よりも低いため出力はハイレベルになり、直前に容量Csにチャージした電圧Vinよりも比較電圧Vcの方が高ければ増幅回路AMPの入力電圧は論理しきい値よりも高いため出力はロウレベルになるので、アナログ入力電圧Vinと比較電圧Vcとの大小に応じた出力が得られるというものである。そして、この比較結果は、クロックCKに同期してラッチ動作を行なうラッチ回路LTHにラッチされる。

【0005】 図7は図6の比較回路を逐次比較型AD変換回路に利用したときの動作波形を示す。図6の逐次比較型AD変換回路においては、スイッチSW1の比較電圧側に比較回路CMPによる比較結果をDA変換するローカルDA変換回路LDACからの電圧（ステップ状に変化する電圧）が順次供給される。図7においては、タイミングt3、t5、t7にて増幅回路AMPの出力がラッチ回路LTHにラッチされるため、ローカルDA変換回路LDACからの電圧が変化し、これに応じて増幅回路AMPの入力端子（ノードA）の電位も変化している。

【0006】

【発明が解決しようとする課題】 図6に示されている比較回路を利用した逐次比較型AD変換回路においては、変換動作の最終段階（図7の期間Tc3）でローカルDA変換回路LDACの出力がアナログ入力とほぼ等しくなるので、増幅回路の入力電圧は論理しきい値に近付き、その結果MOSFET MP1、MN1に貫通電流が流れてしまう。

【0007】 このように、図6の比較回路は貫通電流が流れる時間が長く消費電力が多いとともに、貫通電流が流れる際に電源電圧にノイズが発生してそれが電源配線を経由して他の回路に悪影響を与えるおそれがあるという問題点があることが明らかとなった。

【0008】 この発明の目的は、低消費電力、低ノイズの比較回路を提供することにある。この発明の他の目的は、CMOSインバータ型の増幅回路を用いた比較回路の貫通電流を防止して、この比較回路を含む逐次比較型AD変換回路の低消費電力化および低ノイズ化を図ることにある。

【0009】 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0011】すなわち、直列形態のpチャネルMOSFETおよびnチャネルMOSFETからなるCMOSインバータ型の増幅回路と、該増幅回路の入出力端子間に接続された第1のスイッチ手段と、上記増幅回路の入力端子とアナログ入力端子との間に接続されたサンプリング容量と、該サンプリング容量の一方の端子に上記アナログ入力端子の電圧または比較電圧を選択的に供給可能な切換えスイッチ手段とからなる比較回路において、上記増幅回路を構成するMOSFETと直列に第2のスイッチ手段を接続して、このスイッチ手段を上記サンプリング容量へのアナログ入力のサンプリング期間中および上記増幅回路の入力の安定期間のみ導通させて増幅動作を行なわせるように構成したものである。

【0012】上記した手段によれば、不要な期間は増幅回路の電流経路が遮断されるため、アナログ入力と比較電圧との電位差が小さくて直列形態のpチャネルMOSFETおよびnチャネルMOSFETが共にオン状態にされるような場合にも貫通電流が流れるのを防止することができ、これによって低消費電力化および低ノイズ化を図るという上記目的を達成することができる。

【0013】また、上記増幅回路の次段にラッチ回路を設け、該ラッチ回路と上記第2のスイッチ手段を同一の信号（クロック信号）で制御するように構成する。これによって、新たに設けた電流遮断用のスイッチ手段の制御信号を容易に形成することができる。

【0014】さらに、上記電流遮断用の第2のスイッチ手段は、増幅回路を構成する直列形態のpチャネルMOSFETおよびnチャネルMOSFETのそれぞれの側に設けるようにする。これにより、増幅回路の出力がハイレベルへ変化するときとロウレベルへ変化するときの動作特性をほぼ同じにすることができ、増幅回路の特性バランスを良くすることができる。

【0015】なお、上記増幅回路は1段のみならず2段あるいは3段以上縦続接続させても良い。そして、その場合には、各増幅回路に貫通電流防止用のスイッチ手段を接続する。

【0016】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0017】図1は、本発明に係る比較回路を用いた逐次比較型AD変換回路の一実施例を示す。図1に示されているAD変換回路は、アナログ入力端子INaに入力されたアナログ入力Vinと比較側入力端子INcに入力された比較電圧Vcを比較する比較回路CMPと、該比較回路CMPの出力をラッチするラッチ回路LTHと、該ラッチ回路LTHの複数ビットの出力に基づいてコードを形成するコード形成回路CDCと、コード形成回路

CDCから出力されるコードをDA変換して上記比較電圧Vcを形成するローカルDA変換回路LDACとにより構成されている。

【0018】上記コード形成回路CDCは、使用するローカルDA変換回路LDACにより発生するコードが決定されるもので、例えば簡単なシフトレジスタにより構成される場合もある。

【0019】また、上記比較回路CMPは、電源電圧端子間に直列形態に接続されたpチャネルMOSFET MP1とnチャネルMOSFET MN1からなるCMOSインバータ型増幅回路AMPと、該増幅回路AMPのゲート入力端子とアナログ入力端子INaとの間に接続されたサンプリング容量Csおよび切換えスイッチSW1と、増幅回路の入出力端子間に接続されたスイッチSW2と、上記pチャネルMOSFET MP1と電源電圧端子Vccとの間に接続された電流遮断用のMOSFET MP4と、nチャネルMOSFET MN1と直列形態に接続された電流遮断用のMOSFET MN4とから構成されている。そして、これらの電流遮断用MOSFET MP4, MN4は、上記ラッチ回路LTHを動作させるクロックCKとそれをインバータINVで反転した信号によって制御されるように構成されている。

【0020】この実施例の比較回路CMPは、スイッチSW2をオンさせた状態でスイッチSW1を入力端子INa側に接続して、アナログ入力Vinと増幅回路（インバータ）AMPの論理しきい値電圧VLTとの差電圧をサンプリング容量Csにチャージし、その後スイッチSW2をオフ状態にして増幅回路AMPの入出力端子間をオープンとしてスイッチSW1を比較電圧Vcの入力端子INc側に切り換えることにより、アナログ入力信号Vinと比較電圧Vcとの比較を行ない、比較結果を増幅して出力する。

【0021】具体的には、直前にサンプリング容量Csにチャージした電圧Vinよりも比較電圧Vcの方が低ければ増幅回路AMPの入力電圧は論理しきい値よりも低いため出力はハイレベルになり、直前にサンプリング容量Csにチャージした電圧Vinよりも比較電圧Vcの方が高ければ増幅回路AMPの入力電圧は論理しきい値よりも高いため出力はロウレベルになるので、アナログ入力電圧Vinと比較電圧Vcとの大小に応じた出力が得られるというものである。そして、この比較結果は、クロックCKに同期してラッチ動作を行なうラッチ回路LTHにラッチされる。しかもこの実施例では、クロックCKによって上記電流遮断用のMOSFET MP4, MN4を上記サンプリング容量Csへのアナログ入力のサンプリング期間中および上記増幅回路AMPの入力が安定する期間のみ導通させて増幅動作を行なわせるように構成されている。

【0022】図2は図1に示されているAD変換回路の

動作波形を示す。

【0023】この実施例のAD変換回路においては、先ずスイッチSW2をオンさせてインバータ型増幅回路AMPの入出力端子を短絡させた状態で、スイッチSW1を入力端子INa側に接続する（期間Ts）。また、このときクロックCKはロウレベルにされてスイッチMOSFET MP4, MN4はオン状態にされる。すると、増幅回路AMPの入出力端子が短絡されることによって、ノードAおよびBの電位は図2（b）,（c）のように、インバータ（AMP）の論理しきい値電圧VLTに変化する。従って、この間増幅回路AMPには貫通電流が流れることとなる。

【0024】なお、図2には、ノードAの電位が接地電位からVLTに近づく場合が示されているが、AD変換回路の前の状態によって、破線で示すようにノードAの電位が電源電圧Vcc側からVLTに近づく場合もある。そして、ノードAおよびBの電位がインバータ（AMP）の論理しきい値電圧VLTにされることによって、アナログ入力Vinと論理しきい値電圧VLTとの差電圧がサンプリング容量Csにチャージされる。

【0025】その後、クロックCKをハイレベルにさせMOSFET MP4, M4をオフさせかつスイッチSW2をオフにして増幅回路AMPの入出力端子間をオープン状態としてスイッチSW1をローカルDA変換回路LDACから供給される比較電圧Vcが入力されている端子INc側に切り換える（タイミングt1）。すると、アナログ入力信号Vinと比較電圧Vcの高低に応じて増幅回路AMPの入力すなわち図1のノードAの電位が変化する（期間Tc1）。図2には、アナログ入力信号Vinよりも比較電圧Vcの方が低かった場合が示されている。

【0026】そして、ノードAの電位が安定した頃を見計らってクロックCKをロウレベルに変化させる。これによって、増幅回路AMPの出力すなわちノードBの電位がハイレベルまたはロウレベル（ここではハイレベル）に変化する（タイミングt2）。つまり、アナログ入力信号Vinと比較電圧Vcとの比較を行なった結果がノードBに現れる。そして、この出力状態は、タイミングt3でクロックCKがハイレベルに変化されることによって後段のラッチ回路LTHにラッチされる。

【0027】上記ラッチ回路LTHのラッチ動作によりその出力が確定すると、その出力はコード形成回路CDCに供給されて新しいコードが発生されるため、ローカルDA変換回路LDACの出力が変化する。そのため、スイッチSW1を介してローカルDA変換回路LDACの出力電圧が容量Csに伝わりノードAの電位が変化する（期間Tc2）。この実施例のAD変換回路では比較回路CMPでの比較動作ごとにローカルDA変換回路LDACの出力電圧は増幅回路AMPの論理しきい値VLTに近づく（VLTとの電位差が小さくなる）ようにコード形

成回路CDCによるコードの生成が行われる。

【0028】そして、ノードAの電位が安定した頃に再びクロックCKをロウレベルに変化させる。これによって、増幅回路AMPの出力すなわちノードBの電位がハイレベルまたはロウレベル（ここではハイレベル）になる（タイミングt4）。そして、この出力状態は、タイミングt5でクロックCKがハイレベルに変化されることによって後段のラッチ回路LTHにラッチされる。

【0029】上記動作を繰り返すことによってノードAの電位は徐々に増幅回路AMPの論理しきい値VLTに近づいて行く。その結果、ラッチ回路LTHからはアナログ入力VinをAD変換した結果（コード）が得られる。しかも、AD変換動作の最終ステップになるほどノードAの電位は徐々に増幅回路AMPの論理しきい値VLTに近づくため、増幅回路AMPには貫通電流が流れ易くなる。しかるにこの実施例では、増幅回路AMPを構成するMOSFET MP1, MN1と直列にMOSFET MP4, MN4を設けてクロックCKで制御し、各変換ステップの最後の部分でのみ増幅回路AMPを活性化させるようにしているため、図2（d）の期間Tc3のハッチングの期間のような僅かな時間しか貫通電流が流れないようにする。従来の比較回路を用いたAD変換回路における同様な状態での貫通電流を示す図7（d）と比較すると明らかなように、本実施例の比較回路を使用したAD変換回路では大幅に貫通電流が減少されることが分かる。

【0030】なお、上記ラッチ回路LTHの出力は、上記コード形成回路CDCに供給される他、出力を受ける回路の構成に応じてそのまま直ちにAD変換結果としてインタフェース回路を介して出力されたり、あるいはシリアル-パラレル変換回路によってパラレルデータに変換されてから出力される場合もある。

【0031】図3は、本発明に係る比較回路を用いた逐次比較型AD変換回路の他の実施例を示す。この実施例は、CMOSインバータ型増幅回路を3段縦続接続するとともに、各増幅回路を構成するpチャネルMOSFET MP1, MP2, MP3と直列に電流遮断用のpチャネルMOSFET MP4, MP5, MP6を、また、各増幅回路を構成するnチャネルMOSFET MN1, MN2, MN3と直列に電流遮断用のnチャネルMOSFET MN4, MN5, MN6を、それぞれ接続し、それらのスイッチMOSFET MP4, MP5, MP6を、クロックCKにより、またMOSFET MN4, MN5, MN6をクロックCKを反転するインバータINVの出力で制御するようにしたものである。

【0032】この実施例の比較回路においても、第1の実施例と同様にクロックCKがロウレベルの期間のみ各増幅回路AMP1, AMP2, AMP3が活性化されるため、比較回路の入力ノードAの電位が増幅回路AMP

の論理しきい値VLTに近づくAD変換動作の最終ステップにおいても各増幅回路AMP1、AMP2、AMP3に流れる貫通電流をさらに減少させることができ、電源ノイズも低減させることができる。しかもこの実施例では、CMOSインバータ型増幅回路が3段縦続接続されているため、比較回路のゲインを高めることができる。

【0033】次に、本発明に係る比較回路を備えたAD変換回路を使用して好適なシステムの一例を説明する。図5はCD（コンパクト・ディスク）やDVD（デジタル・ビデオ・ディスク）などのディスク装置の概略構成を示す。

【0034】図5のディスク装置の構成を簡単に説明すると、50はディスク、51はディスクを回転させるスピンドルモータ、52はディスク50に記憶されたデータの読取り、書込みを行なうピックアップ、53はピックアップ52の位置決め（トラッキング）用のスレッド、54はスレッド53を駆動するモータ、55はピックアップ52の焦点合わせ用のアクチュエータである。

【0035】上記実施例のAD変換回路は、上記ピックアップ52からの信号（アナログ）をデジタル信号に変換するのに使用される。AD変換回路56で変換された信号は信号処理&制御回路57に供給されて制御用データが計算され、DA変換回路58でアナログ信号に変換されて上記スレッド駆動モータ54やフォーカス用のアクチュエータ55に供給されて、フィードバック制御が行われる。

【0036】なお、図5においては、AD変換回路56は信号処理&制御回路57と別の半導体集積回路として構成されている場合が示されているが、AD変換回路56と信号処理&制御回路57とを同一の半導体チップ上に形成して1チップすることも可能である。

【0037】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、各増幅回路を構成するpチャネルMOSFET MP1、MP2、MP3と電源電圧端子Vccとの間およびnチャネルMOSFET MN1、MN2、MN3と接地点との間に電流遮断用のpチャネルMOSFET MP4、MP5、MP6とnチャネルMOSFET MN4、MN5、MN6をそれぞれ接続しているが、貫通電流防止用のMOSFETは、増幅回路を構成するpチャネルMOSFET MP1、MP2、MP3とnチャネルMOSFET MN1、MN2、MN3との間に設けるようにしても良い。

【0038】また、上記実施例では、増幅回路の出力をラッチするラッチ回路LTHはクロックCKの立ち上がりでデータを取り込むエッジトリガタイプを用いているが、レベルが確定してからデータを取り込むレベルトリガタイプのラッチ回路であっても良い。

【0039】さらに、上記実施例では、各増幅回路を構成するpチャネルMOSFET MP1、MP2、MP3およびnチャネルMOSFET MN1、MN2、MN3と直列に電流遮断用のpチャネルMOSFET MP4、MP5、MP6とnチャネルMOSFET MN4、MN5、MN6をそれぞれ接続しているが、電流遮断用のMOSFETはpチャネル側またはnチャネル側のいずれか一方のみであっても良い。ただし、いずれか一方のみにすると、各増幅回路の出力がハイレベルへ変化するときとロウレベルへ変化するときの動作特性がアンバランスになるが、実施例のようにpチャネル側とnチャネル側にそれぞれ電流遮断用のMOSFETを設けることにより、増幅回路の出力がハイレベルへ変化するときとロウレベルへ変化するときの動作特性をほぼ同じにすることができ、増幅回路の特性バランスを良くすることができるという利点がある。

【0040】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である逐次比較型AD変換回路に用いられる比較回路に適用した場合について説明したが、この発明はそれに限定されるものでなく、CMOSインバータ型の増幅回路を含む比較回路およびそれを内蔵した半導体集積回路に広く利用することができる。

【0041】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0042】すなわち、この発明に従うと、低消費電力、低ノイズのCMOSインバータ型の比較回路が得られ、この比較回路を使用した逐次比較型AD変換回路の低消費電力化および低ノイズ化を図ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明に係る比較回路を使用した逐次比較型AD変換回路の第1の実施例を示す回路構成図である。

【図2】図1のAD変換回路の特に比較回路の動作タイミングを示す波形図である。

【図3】本発明に係る比較回路を使用した逐次比較型AD変換回路の第2の実施例を示す回路構成図である。

【図4】図3のAD変換回路の特に比較回路の動作タイミングを示す波形図である。

【図5】本発明を適用した逐次比較型AD変換回路の応用システムの一例としてのディスク型メディアの再生装置の概略構成を示すブロック図である。

【図6】従来のCMOSインバータ型増幅回路を用いた比較回路の一例を示す回路構成図である。

【図7】図6の比較回路の動作タイミングを示す波形図である。

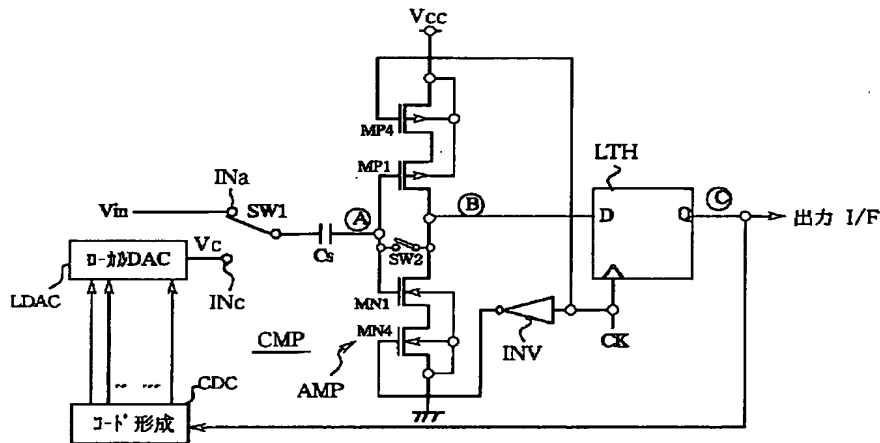
【符号の説明】

AMP 増幅回路

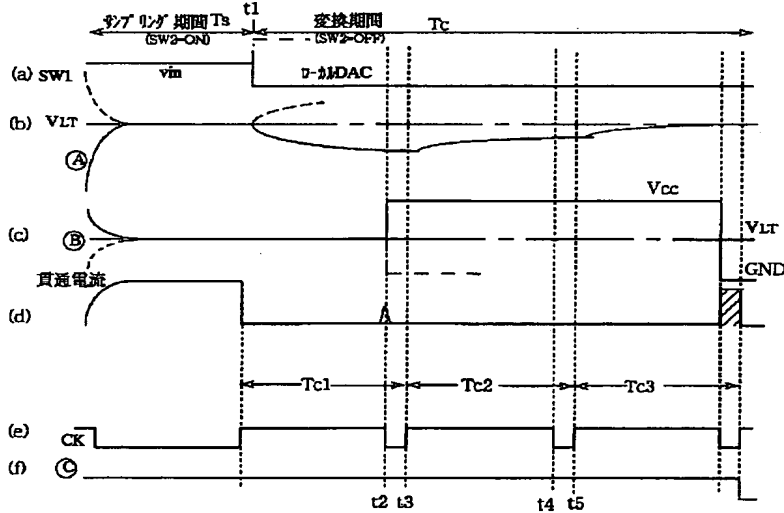
CMP 比較回路
LTH ラッチ回路
CDC コード形成回路
LDAC ローカルAD変換回路

Cs サンプリグ容量
Vin アナログ入力
Vc 比較電圧 (ローカルAD変換回路の出力)

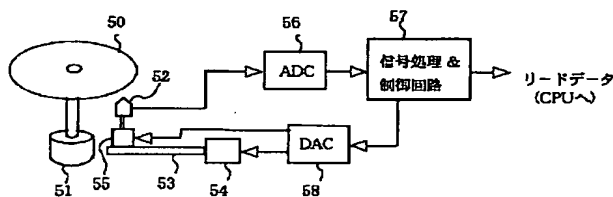
【図1】



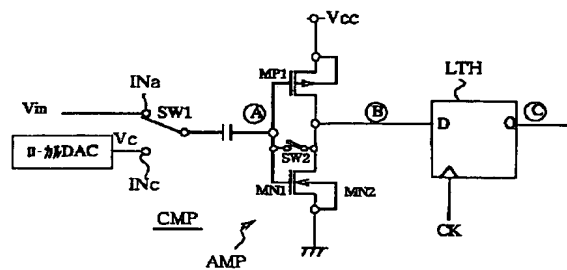
【図2】



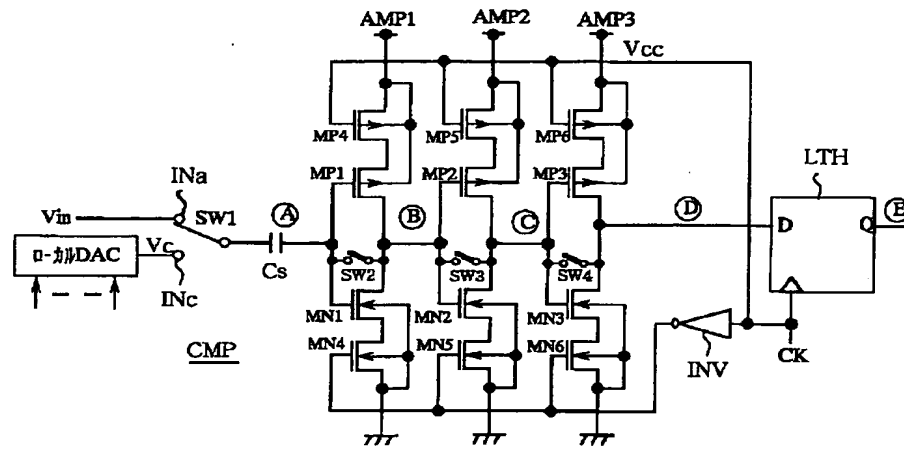
【図5】



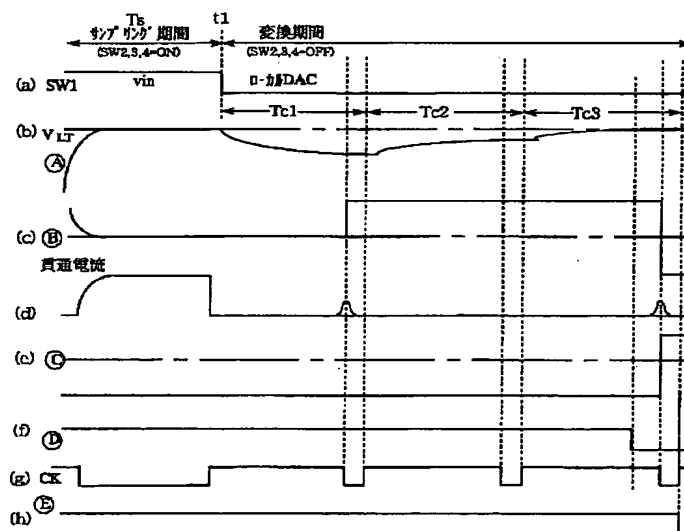
【図6】



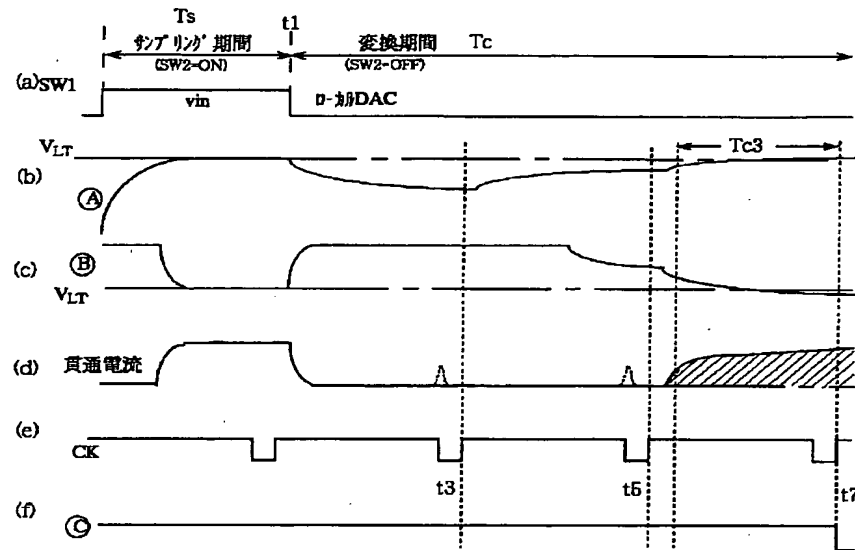
【図 3】



【図 4】



【図 7】



フロントページの続き

(72) 発明者 米谷 浩幸

東京都小平市上水本町5丁目22番1号 株
式会社日立超エル・エス・アイ・システム
ズ内

Fターム(参考) 5J022 AA02 AB01 BA02 BA06 CF01
CF07